

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147161

(43)Date of publication of application : 07.06.1996

(51)Int.Cl. G06F 9/30  
G06F 1/04  
G06F 13/42

(21)Application number : 06-311200

(71)Applicant : NEC CORP

(22)Date of filing : 21.11.1994

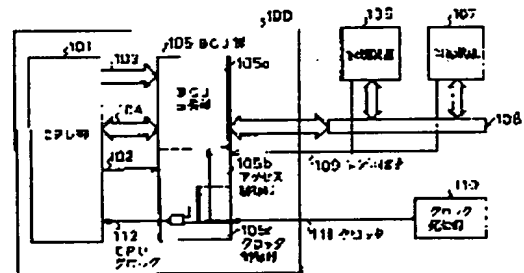
(72)Inventor : SUGIMOTO HIDEKI

## (54) DATA PROCESSOR

### (57)Abstract:

**PURPOSE:** To reduce the power consumption while preventing the reduction of the processing speed in a CPU part and to eliminate a need of the queue control function in the CPU part with respect to the CPU consisting of the CPU part and a BCU part.

**CONSTITUTION:** A clock control part 105c distributes a clock 111 supplied from the outside into a CPU part 101 and a BCU part 105. At this time, the period of a CPU clock 112 supplied to the CPU part 101 is made longer only when the read access to a storage device 106 or the like from the CPU part 101 is requested. That is, the state just before the change point of the CPU clock 112 for input or input data from an internal data bus 104 to the CPU part 101 is held until read data is settled on the internal data bus 104.



(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

特開平8-147161  
(43)公開日 平成8年(1996)6月7日

(51)IntCl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F	9/30	330 C		
	1/04	301 C		
	13/42	350 B	9100-5E	

審査請求 有	請求項の数 4	FD (全 14 頁)
(71)出願人	00004237	
日本電気株式会社		
東京都港区芝五丁目7番1号		
(72)発明者	杉本 英樹	
東京都港区芝五丁目7番1号		
株式会社内		
(74)代理人	弁護士 境 廣巳	

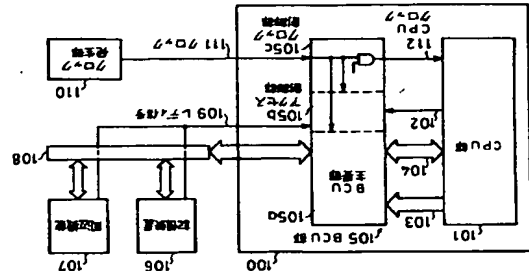
(21)出願番号	特開平6-311200
(22)出願日	平成6年(1994)11月21日

(54) [発明の名称] データ処理装置

(57) [要約]

【目的】 CPU部とBCU部とで構成された形式のCPUにおいて、CPU部の処理速度の低下を防止しつつ、その消費電力の低減を可能とし、且つ、CPU部における待ち合わせ制御機能を不要にする。

【構成】 クロック制御部105は、外部から供給されるクロック111をCPU部101及びBCU部105内に分配する。このとき、CPU部101からの記憶装置106等に対するリードアクセス要求時に限り、CPU部101に供給するCPUクロック112の周波数を大きくする。即ち、CPU部101が内部データバス104から入力データを入力するCPUクロック112の変化点の直前の状態を、リードデータが内部データバス104上に確定するまで延長する。



(2)

【特許請求の範囲】

【請求項1】 データの読取処理を司るCPU部と、該CPU部と外部装置との間のデータ入出力を司るBCU部とを含み、該BCU部は、前記CPU部に内部バスで接続され、且つ前記外部装置に外部バスで接続され、前記CPU部からのアクセス要求に応じて前記外部バスにバスサイクルを発生させ、且つアクセス先の前記外部装置の応答可能速度に応じて前記バスサイクル中にウェイトステートを発生させる機能を有するデータ処理装置において、

前記BCU部内にクロック制御部を備え、前記クロック制御部は、外部から供給されるクロックを前記CPU部および前記BCU部内に供給すると共に、前記CPU部に供給するクロックについては、前記CPU部からの前記外部装置に対するリードアクセス要求時に限り、前記CPU部が前記内部バスから前記リードアクセス要求にかかる入力データを入力するクロックの変化点の直前の状態を、前記内部バス上に前記入力データが確定する時点まで延長することを特徴とするデータ処理装置。

【請求項2】 前記BCU部は、前記外部装置から出力されるレディー信号に応じてウェイトステートを発生させるアクセス制御部を有することを特徴とする請求項1記載のデータ処理装置。

【請求項3】 前記BCU部は、前記外部装置のアドレス毎にそのアクセス速度に応じたウェイトステートを記憶する記憶手段を有し、前記CPU部からのアクセス要求時、アクセス要求装置のアドレスに対応して前記記憶手段に記憶されたウェイトステートに基づいてウェイトステートを発生させるアクセス制御部を有することを特徴とする請求項1記載のデータ処理装置。

【請求項4】 前記クロック制御部は、前記バスサイクルのウェイトステート期間中、前記アクセス制御部を除くBCU主要部へのクロックの供給を停止することとを特徴とする請求項3記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ処理装置に関し、特に外部の記憶装置および周辺装置に対するアクセス時にアクセス先装置の応答可能速度に応じた待ち合わせ制御を行うデータ処理装置に関する。

【0002】

【従来の技術】 一般にCPUでは、外部の記憶装置および周辺装置とのデータの受け渡し時に、それぞれの応答可能速度に応じた待ち合わせ制御が必要である。このように待ち合わせ制御は、一般的にはCPUにクロックを常時供給しておき、記憶装置または周辺装置に対するアクセスのためのバスサイクル時、CPUがアクセス先装置からのレディー信号をクロックの立ち上がり或いは立ち下がりでサンプリングし、レディーになるまでバス

サイクルにウェイトステートを挿入することで行われている。しかし、この方法では、待ち合わせ制御中にも通常と同じようにクロックがCPUに供給されているため、CPUの電力消費の面で解決すべき課題が現れている。このため、従来より以下のような幾つかの改良技術が提案されている。

【0003】 その一つは特開平4-60859号公報に見られるように、アクセス先装置からのレディー信号がアクティブになるまでCPUのクロックを停止させる技術（以下、第1の従来技術と称す）である。図7にそのブロック図を示す。通常の場合、クロック発生部505で発生されたクロックがクロック制御部504を素通りしてCPU501にクロック506として供給される。CPU501が記憶装置502をアクセスするため、バスサイクルを開始すると、その旨を示すバスサイクル開始信号507がクロック制御部504に与えられ、クロック制御部504は、その時点より記憶装置502からのレディー信号503がアクティブになるまで、CPU501に供給するクロック506のレベルをローレベル或いはハイレベルに保持する。そして、レディー信号503がアクティブになるとクロック506を通常のように供給する。これにより、CPU501はウェイトステートを本業挿入すべき期間中は完全に停止し、クロック506が再び供給された時点で動作を開始し、レディー信号503がアクティブになったことを検出してバスサイクルを終了する。

【0004】 この第1の従来技術によれば、アクセス先装置からのレディー信号がアクティブになるまでの間、CPUを完全に停止させることができ、CPUの消費電力を低減することができる。

【0005】 二つ目の従来技術は、クロックを停止させるのではなく、要開昭81-103727号公報に見られるようにウェイトモード中は低速なクロックに切り換える技術（以下、第2の従来技術と称す）である。図8にそのブロック図を示す。通常の場合、クロック発生部601で発生されたクロックはゲート606、608を介してクロック603としてCPUに供給される。CPUが外部の記憶装置等をアクセスするためのバスサイクルを開始してウェイトモードになると、CPUから出力された制御信号602によってゲート606が閉じられる一方、ゲート607の出力によりゲート605が開かれ、クロック発生部601のクロックを分周器604で分周したクロックがゲート605、608を介してクロック603としてCPUに供給される。

【0006】 この第2の従来技術によれば、ウェイト中にCPUを完全に停止させることはできないが、その間には低速なクロックが供給されるので、或る程度の消費電力の低減が可能である。

【0007】 三つ目の従来技術は特開昭62-19196号公報に見られるように、アクセス要求先装置の速

(3)

度に応じてCPUのクロック速度を切り換える技術（以下、第3の従来技術と称す）である。図9にそのブロック図を示す。通常の場合、クロック発生部707で発生されたクロックがそのままクロック制御部709を通過してCPUクロック708としてCPU701に供給される。CPU701が記憶装置702または周辺機能703をアクセスする出力のバスサイクルを開始すると、外部バス704上に出たバスが内部に予め記憶されているアクセス先装置アドレスのクロック速度およびウェイト数を参照して今回のバスサイクルにおけるクロック速度とウェイト数を決定する。決定されたクロック速度はクロック速度制御部706にてクロック制御部709に通知され、クロック制御部709はCPU701に対するクロック708のクロック速度をそれに応じて変更する。他方、決定されたウェイト数に従ってCPU701に対するウェイト数制御部710が制御される。

【0008】この第3の従来技術の主目的は、個々の記憶装置702、周辺機能703毎にウェイト番号送出機能を持たせる必要を無くすることにあるが、アクセス先のクロック速度に応じてクロック速度を低下させれば、その間のCPU701は低速度で動作するため、消費電力を低減する効果も奏される。但し、CPU701は、ウェイト番号に相当するウェイト数制御部710の状態を抽出してバスサイクルの終了を判断する必要があるため、第2の従来技術と同様に、CPU701のクロックを完全に停止させることはできない。

【0009】本発明が解決しようとする課題は、アクセス先装置の応答可能速度との関係で待ち合わせ制御が必要なCPUにおいて、その消費電力を低減させるために上述のような技術が従来より提案されており、CPUの機能によって有効な技術ではあった。しかし、CPUが、データの演算処理を司るCPU部と、このCPU部と外部の記憶装置や周辺装置との間のデータ入出力を司るBCU部とを備え、処理速度の向上のために、外部装置に対するウェイトアクセス時にCPU部がウェイトデータをBCU部に渡した後はそのアクセス終了を待ち合わせることなく他の動作を続けることができるようにしたCPUにおいて、上記の何れの従来技術も適用することができなかつた。

【0010】即ち、上記第1の従来技術が適用した場合、外部装置に対するバスサイクルが開始されると、それがリードアクセスにかかるとバスサイクルの場合であってライタアクセスにかかるとバスサイクルの場合であってCPUへのクロックが停止し、内部のCPU部の動作も停止してしまうからである。また、上記第2、第3の従来技術が適用した場合、CPUへのクロックは完全に停止することがないため内部のCPU部は動作が可能で

(4)

を続けることができる。他方、アクセス先の記憶装置404または周辺機能405は、BCU部403からのライタバスサイクルに従って外部バス407からデータを受け取り、ウェイト番号408をアクティブにする。BCU部403はライタバスサイクルのステートにおいて、ウェイト番号408の状態をサブプリングしており、ウェイト番号408がアクティブでない場合にはウェイトステートを挿入する待ち合わせ制御を行う。そして、ウェイト番号408がアクティブになったことを検出するとライタバスサイクルを終了する。

【0015】このように、CPU部とBCU部とで構成され、処理速度の向上のためにライタアクセス時に外部のCPU部の待ち合わせ制御を無くしたCPUにおいて、リードアクセス時の待ち合わせ制御時に外部のCPUの消費電力の低減は図られていなかった。また、この種のCPUにあっては、BCU部に待ち合わせ制御機能が必要になると共に、更にCPU部にもウェイト番号に応じた待ち合わせ制御機能が必要になるという問題点もあった。

【0016】本発明はこのような事情に鑑みて提案され、BCU部とで構成された形式のCPUにおいて、CPU部の処理速度の低下を防止しつつ、その消費電力の低減を可能とし、且つ、CPU部における待ち合わせ制御機能を不要にすることにある。

【0017】

【課題を解決するための手段】本発明は上記の目的を達成するために、データの演算処理を司るCPU部と、該CPU部と外部装置とのデータ入出力を司るBCU部とを含み、該BCU部は、前記CPU部に内部バスで接続されると共に前記外部装置に外部バスで接続され、前記CPU部からのアクセス要求に応じて前記外部バス上にバスサイクルを発生させ、且つアクセス先の前記外部装置の応答可能速度に応じて前記バスサイクル中にウェイトステートを発生させる機能を有するデータ処理装置において、外部から供給されるクロックを前記CPU部および前記BCU部に供給すると共に、前記CPU部に供給するクロックについては、前記CPU部からの前記外部装置に対するリードアクセス要求時に限り、前記CPU部が前記内部バスから前記リードアクセス要求にかかる入力データを入力するクロックの発生点の直前の状態を、前記内部バス上に前記入出力データが確定する時点まで延長するクロック制御部を、前記BCU部に備えている。

【0018】

【作用】本発明のデータ処理装置においては、CPU部からの外部装置に対するアクセス時、BCU部が外部バス上にバスサイクルを発生させ、且つ、アクセス先装置からのウェイト番号や平均応答されたウェイトステート数に従って、アクセス先装置の応答可能速度に応じてバ

スサイクル中にウェイトステートを発生させる。このときクロック制御部は、ライタアクセス時にはクロックを通常通りCPU部に供給するが、リードアクセス時には、BCU部が外部装置からリードしたデータを内部バス上に出すタイミングで、CPU部がリードアクセス要求にかかる入力データを内部バスから入力するクロックの発生点の直前の状態を延長する。例えば、CPU部がリードアクセス要求を出した次のクロックの立ち上がり時点で内部バスからデータをリードするものとすると、クロック制御部はCPU部がリードアクセス要求を出した次のクロックの立ち上がり時点の直前の状態を延長する。

【0019】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0020】図1は本発明の一実施例のブロック図である。同図において、100が本発明を適用したデータ処理装置であるCPUであり、データの演算処理を司るCPU部101と、このCPU部101と外部の記憶装置106および周辺機能107との間のデータ入出力を司るBCU部105とを含む。

【0021】BCU部105は、内部バス103および内部データバス104から構成される内部バスによりCPU部101に接続されると共に、外部データバス、外部アドレスバスおよび外部コントロールバスから構成される外部バス108により記憶装置106および周辺機能107に接続されている。本実施例では、このBCU部105内に、その基本的な機能を実現するBCU主要部105aおよびアクセス制御部105bに加え、クロック制御部105cを設け、外部に備わるクロック発生部110で発生されたクロック111を一旦このクロック制御部105cに入力し、そこからBCU主要部105aおよびアクセス制御部105bに供給すると共に、CPUクロック112としてCPU部101に供給するようにしている。なお、BCU部105には記憶装置106および周辺機能107からのウェイト番号109が入力されている。

【0022】図1のCPU100において、CPU部101はCPUクロック112の立ち上がりから次の立ち上がりまで1クロックサイクルとして動作し、記憶装置106または周辺機能107に対するアクセスを要求するとき、リード、ライタの種別を含むアクセス要求番号102をCPUクロック112の立ち上がりと同相してアクティブにし、CPUクロック112の次の立ち下がりと同相してアクセス対象となるアドレスを内部アドレスバス103に出力する。そして、リードアクセス時には、CPUクロック112の次のクロックサイクルの終端（つまりクロックの立ち上がり時点）で内部データバス104からデータを受け取る。即ち、CPU部1

(5)

01はリードアドレスを2クロックサイクルで終了する。またライトアクセス時には、CPUクロック112の次のクロックサイクルの立ち上がりで、内部データバス104へデータを出し、ライトアクセスを終える。即ち、CPU部101はライトアクセスも2クロックサイクルで終了する。

【0023】BCU部105は、CPU部101からのアクセス要求番号102と内部アドレスバス103に出力されたアドレスとからバスサイクルを起動し、ライト時には内部データバス104のデータを外部バス108に出力する。

【0024】記憶装置106および周辺機能107は、BCU部105が生成したバスサイクルによって、リードアクセス時には外部バス108へデータを出し、ライトアクセス時には外部バス108からデータを取り込む。このとき、アクセスが完了するまでの期間はレディー番号109を非アクティブにする。

【0025】BCU部105は、バスサイクルにおけるステートにおいてレディー番号109の状態をサンプリングしており、レディー番号109が非アクティブの間までであるとウェイトステートを発生させる待ち合わせ制御を行う。また、レディー番号109がアクティブになったことを検出し、ライトアクセス時にはバスサイクルを終了し、リードアクセス時には記憶装置106または周辺機能107から外部バス108に出力されたデータを取り込んで内部データバス104に出力し、バスサイクルを終了する。

【0026】前述のようにCPU部101は2クロックサイクルでリードアドレスを終了するので、BCU部105はCPU部101からリードにかかるとアクセス要求番号102が出力された次のクロックサイクルでCPU部101に内部データバス104を通してデータを渡す必要がある。このため、BCU部105のクロック制御部105cは、CPU部101からのリードアドレス要求時、CPUクロック112を制御して、CPU部101のクロックサイクルを延長してデータの到着を保証する。即ち、CPU部101がリードアクセス要求を出したクロックサイクルの次のクロックサイクルの終了の立ち上がり時点まで、BCU部105がリードデータを内部データバス104に出力する時点まで延長する。

【0027】図2は図1のBCU部105のプロック図である。BCU主要部105aは内部アドレスバス103および内部データバス104と外部バス108との間に設けられ、データラッチ、入出力バッファ、プリフェッチ機構、アライナ等、主制御データバスおよびアドレスバスを構成する。他方、アクセス制御部105bは、図1のCPU部101からのアクセス要求を受け付けて保持するアクセス要求保持機構1051と、ここに保持されたアクセス要求に対応するバス動作を行うバスステートジェネレータ1050とで構成され

ている。

【0028】クロック制御部105cは、クロック制御番号生成手段1053とゲート1052とで構成される。クロック制御番号生成手段1053は、アクセス要求保持機構1051に保持されたアクセス要求番号がリードであり、バスステートジェネレータ1050がバス動作中を示し、更にレディー番号109が非アクティブになった時点で、その出力であるクロック制御番号1054を非アクティブとし、当該バスサイクルの終了間際にクロック制御番号1054をアクティブに戻す。ゲート1052は、クロック制御番号1054が非アクティブの間中、クロック111の通過を遮断する。

【0029】図3は図1の実施例の動作タイミングチャートである。図面に示すように、CPU部101がCPUクロックサイクルCS1でリードにかかるとアクセス要求番号102を出力し、CPU部101は内部データバス104に出力すると共にリード先のアドレスを内部アドレスバス103に出力する。BCU部105は次のクロックサイクルでリードバスサイクルを起動する。そして、アクセス先装置からのレディー番号109に応じてウェイトステートT1Wを発生させ、レディー番号109がアクティブとなることにより、アクセス先装置から外部バス108に出力されたデータを取り込んで内部データバス104に出力し、リードバスサイクルを終了する。このとき、内部データバス104上にリードデータが確定するのは、CPU部101がリードデータ生成手段1053が出力したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がり時点まで延長することにより、CPUクロックサイクルCS2の周期を延長している。

【0030】なお、図2の例はリードアクセス要求に対してライトアクセス要求をCPU部101が出力した例を示しており、CPU部101はリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がりでライトアクセス要求を出し、CPU部101は内部データバス104にリードデータを出力すると共に同CPUクロックサイクルCS2の立ち上がり時点まで延長することにより、CPUクロックサイクルCS2の周期を延長している。

【0031】図4は本発明の別の実施例のプロック図である。この実施例が図1の実施例と相違する点は、第1に、クロック制御部305cにおいてCPUクロック3

(6)

11を先の図1の実施例と同様に制御すると共にBCU主要部305aへの供給クロックを制御するようにした点にあり、第2に、アクセス制御部305bは外部装置からのレディー番号によらずに待ち合わせ制御を実施するようにした点にある。このため、図1の実施例と異なり、記憶装置306および周辺機能307からのレディー番号は存在しない。

【0032】図5は図4のBCU部305のプロック図である。BCU部305は、BCU主要部305a、アクセス制御部305bおよびクロック制御部305cで構成される。BCU主要部305aは図1のBCU主要部105aと同じである。アクセス制御部305bは、図1と同様にバスステートジェネレータ3053およびアクセス要求保持機構3054に加え、アドレスデコーダ3051、ウェイトレジスタ3052および比較器3055を備えている。

【0033】ウェイトレジスタ3052には、記憶装置306、周辺機能307の各アドレス対応に、そのアクセス速度に応じたウェイトステート数が設定されており、内部アドレスバス303にアクセス先装置のアドレスが出力されたとき、そのアドレスをデコードするアドレスデコーダ3051によって該当するウェイトステート数がウェイトレジスタ3052から読み出されて、比較器3055の一方の入力に加えられる。比較器3055の他方の入力には、バスステートジェネレータ3053が出力するバスステートカウンタ（現在問題目のバスステートであるかを示す値）が加えられており、比較器3055は両者を比較し、その比較結果を出力する。この比較器3055の出力する比較結果は図1の実施例におけるレディー番号109と等価であり、バスステートジェネレータ3053は比較器3055からの比較結果に基づきバスサイクル中にウェイトステートを発生させる。

【0034】他方、クロック制御部305cは、ゲート3056、3059、3061と、クロック制御番号生成手段3057とで構成されている。クロック制御番号生成手段3057は、比較器3055の比較結果とアクセス要求保持機構3054から出力されているアクセス要求番号とバスステートジェネレータ3053から出力されているバス動作中番号とに基づき、図2のクロック制御番号生成手段1053と同様に、アクセス要求番号の比較結果が不一致を示した時点で、その出力であるクロック制御番号3058を非アクティブとし、当該バスサイクルの終了間際にクロック制御番号3058をアクティブに戻す。ゲート3056は、クロック制御番号3058が非アクティブの間中、クロック310の通過を遮断すること、CPUクロック311を制御する。

【0035】また、ゲート3059は、比較器3055

の比較結果が不一致を示し、且つバスステートジェネレータ3053からウェイトステート期間を示す番号が入力されている期間だけ、その出力であるクロック制御番号3060を非アクティブとする。ゲート3061は、クロック制御番号3060が非アクティブの間中、クロック310の通過を遮断すること、BCU主要部305aに対するクロック3062を制御する。

【0036】図4の実施例の動作を説明すると以下のようになる。CPU部301はCPUクロック311の立ち上がりから次の立ち上がりまでを1クロックサイクルとして動作し、記憶装置306または周辺機能307に対するアクセスを必要とするとき、リード、ライトの操作を含むアクセス要求番号302をCPUクロック311の立ち上がり間に同期してアクティブにし、CPUクロック311の次の立ち上がり間に同期してアクセス対象となるアドレスを内部アドレスバス303に出力する。そして、リードアクセス時には、CPUクロック311の次のクロックサイクルの終了（つまりクロックの立ち上がり時点）で内部データバス304からデータを受け取る。即ち、CPU部301はリードアクセスを2クロックサイクルで終了する。またライトアクセス時には、CPUクロック311の次のクロックサイクルの立ち下がり、内部データバス304へデータを出し、ライトアクセスを終える。即ち、CPU部301はライトアクセスも2クロックサイクルで終了する。

【0037】BCU部305のアクセス制御部305bは、CPU部301からのアクセス要求番号302と内部アドレスバス303に出力されたアドレスとからバスサイクルを起動し、ライト時には内部データバス304のデータを外部バス308に出力する。

【0038】記憶装置306は、BCU部305が生成したバスサイクルによって、自装置306の処理速度に応じた一定時間経過後に、リードアクセス時には外部バス308へデータを出し、ライトアクセス時には外部バス308からデータを取り込む。また、周辺機能307も、BCU部305が生成したバスサイクルによって、自装置の処理速度に応じた一定時間経過後に、リードアクセス時には外部バス308へデータを出し、ライトアクセス時には外部バス308からデータを取り込む。

【0039】BCU部305のアクセス制御部305bのウェイトレジスタ3052は、記憶装置306および周辺機能307のアクセス速度に応じたウェイトステート数を、記憶装置306および周辺機能307のアドレスに対応に保持しており、CPU部301がリードアクセス要求時に内部アドレスバス303にリード先アドレスを出力すると、アドレスデコーダ3051の出力により対応するウェイトステート数がウェイトレジスタ3052から比較器3055に読み出される。このウェイトステート数は比較器3055において、バスステート

(7)

ネレータ3053からのバスステータカウンタと比較され、その比較結果がバスステータジェネレータ3054に通知される。バスステータジェネレータ3054は比較結果が一致を示すまでバス動作を延長する。そして、クロック制御部305cのクロック制御部3062を生成手段3057およびゲート3056は、CPU部301がリードアクセス要求を出したクロックサイクルの次のクロックサイクルにおけるCPUクロック311のローレベルを、リードデータが内部データバス304上に確定する時点まで延長する。

【0040】また、クロック制御部305cのゲート3059、3061は、アクセス制御部305bが発生するバスサイクルにおけるウェイトステートの期間中、BCU主要部305aへのクロック3062を遮断する。これにより、ウェイトステート期間中におけるBCU主要部305aの消費電力を抑えることができる。

【0041】なお、ウェイトステート期間が空けると、クロック3062が通常通り供給されるため、BCU主要部305aは通常の動作を再開することができる。

【0042】図6は図4の実施例の動作タイミングチャートである。図面に示すように、CPU部301がCPUクロックCS1でリードにかかると共にリード先要求をアクセス要求番号302に出力すると共にリード先のアドレスを内部アドレスバス303に出力すると、BCU部305のアクセス制御部305bは次のクロックサイクルでリードバスサイクルを開始する。そして、アクセス制御部305bはウェイトステートに於いてウェイトステートTWを発生させ、ウェイトステートTW直後のステートにおいてアクセス先装置から外部バス308に出力されたデータを取り込み内部データバス304に出力し、リードバスサイクルを終了する。このとき、内部データバス304上にリードデータが確定するのは、CPU部301がリードアクセス要求を出したCPUクロックサイクルCS1から数えて4個先のクロックサイクルとなるため、クロック制御部305cは、CPU部301がリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がり時点を、内部データバス304にリードデータが確定するまで延長することにより、CPUクロックサイクルCS1の周期を延長している。

【0043】また、クロック制御部305cは、リードバスサイクルにおけるウェイトステートTWの期間中、BCU主要部305aへのクロックを停止する。

【0044】なお、図6はリードアクセス要求に続いてライトアクセス要求をCPU部301が出力した例を示しており、CPU部301はリードアクセス要求を出したCPUクロックサイクルCS1の次のCPUクロックサイクルCS2の立ち上がりでライトアクセス要求を出し、次に共に同CPUクロックサイクルCS2の立ち上がりでアクセス先アドレスを内部アドレスバス303に

出力している。このライトアクセス要求にかかるバスサイクルは図面に示すように先行するリードバスサイクルの終了後に直ちに開始される。このライトバスサイクルでもBCU部305のBCU主要部305aはウェイトステートTWを発生しているが、その間、BCU主要部305aへのクロック3062は停止されている。但し、CPUクロック311は通常通り供給されている。

【0045】なお、図6中に示した「Hold RQ Sampling」は、バス明け渡し要求を示す。バス明け渡し要求は、外部の他のユニットが外部バス308を使用する場合にBCU部305に対して入力する番号で、BCU部305はこれを受けた場合には新たなバスサイクルの発生を抑制し、出力バッファをディセーブルにした後に明け渡し了解番号(Hold Ack)を出す。このバス明け渡し要求は、一般にバスサイクルの終了の1クロック前にサンプリングされ、1クロック後そのバスサイクルが終了した時点で、Hold Ackは次のバスサイクルの起動を抑制し、Hold Ackを出力する。本発明では、バス明け渡し要求のサンプリング時点ではBCU主要部305aにクロックが供給されているため、若し、図6の最初の「Hold RQ Sampling」においてバス明け渡し要求が検出された場合には、後続のライトにかかるバスサイクルの発生は抑制される。即ち、バス明け渡し要求に対する応答の遅延を無くすることが可能である。これに対し、CPUへのクロックを停止させる従来技術では、図6の「Hold RQ Sampling」が検出されているため、BCU部のクロックが停止しているため、BCU部はHold RQを入力することができず、次のバスサイクルを開始してしまうことになり、バス明け渡し要求に対する応答が遅延することになる。

【0046】

【発明の効果】以上説明した本発明のデータ処理装置によれば以下のような効果を得ることができる。

【0047】CPU部のリードアクセス要求時、BCU部が入力データを内部バスに出力する時点までCPU部に対するクロックが停止されるため、その分CPU部の消費電力が低減する。一般にCPU部の回路規模がBCU部の数倍であることを考慮すると、CPU全体の消費電力の低減が可能となる。

【0048】CPU部のライトアクセス要求時には、アクセス先装置の動作と関係なく、CPU部へは通常通りにクロックが供給されるため、CPU部の処理速度が低下することがない。

【0049】CPU部の停止中でもBCU部は動作しているため、バス明け渡し要求に対する応答の遅延をなくすることができる。

【0050】CPU部およびBCU部双方に待ち合わせ機能を持たせた図10の従来技術においては、CPU部とBCU部との同期は双方の番号制御部で行われるた

(8)

め、BCU部の動作が変更になった場合、CPU部の同期制御も変更する必要があるが、本発明では、CPU部における待ち合わせ制御機能が不要になり、CPU部にとってはクロック周期が変化する場合のみで同期制御を考慮する必要がないため、アドレス・データバスの分離、キャッシュの内蔵等のBCU部の設計変更に対してはCPU部の設計を変更する必要がなくなる。また、CPU部に待ち合わせ制御機能が必要としないことから、その分のゲート数の削減が可能となる。

【0051】バスサイクルにおけるウェイトステート期間中にBCU主要部へのクロックの供給を停止する構成では、より一層、CPUの消費電力の低減が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1の実施例におけるBCU部のブロック図である。

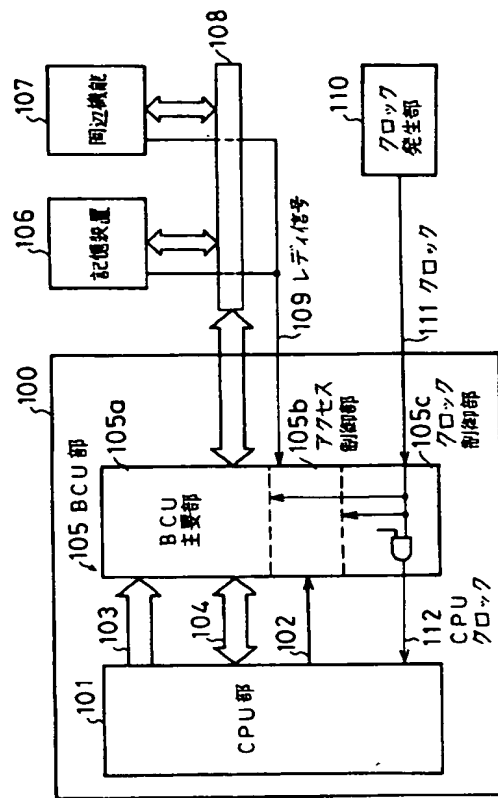
【図3】図1の実施例の動作タイミングチャートである。

【図4】本発明の別の実施例のブロック図である。

【図5】図4の実施例のBCU部のブロック図である。

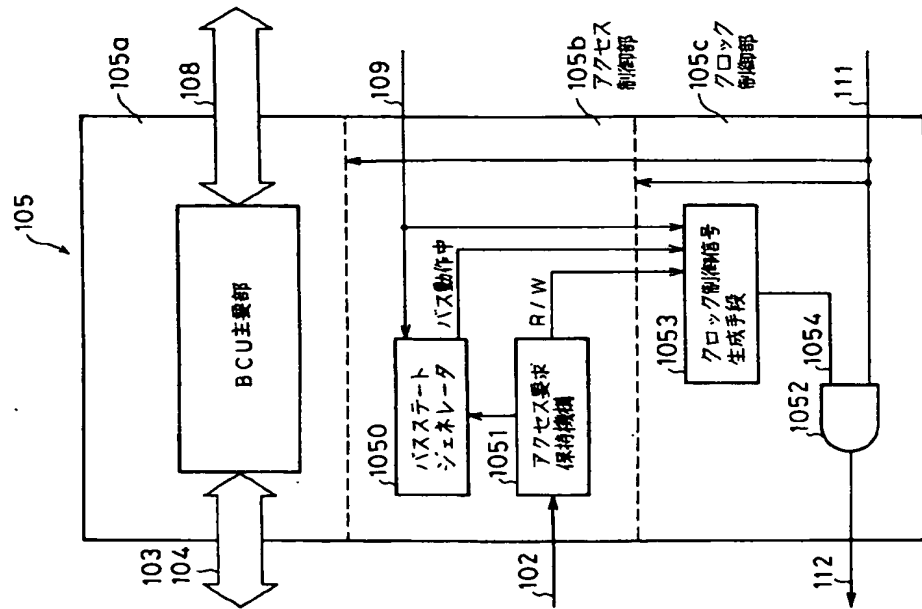
【図6】図4の実施例の動作タイミングチャートである。

(図1)



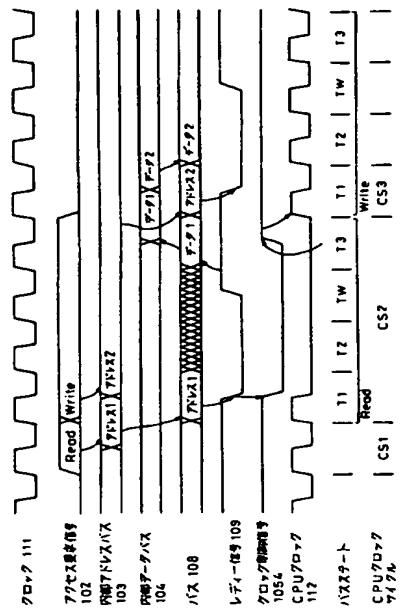
(5)

【図2】

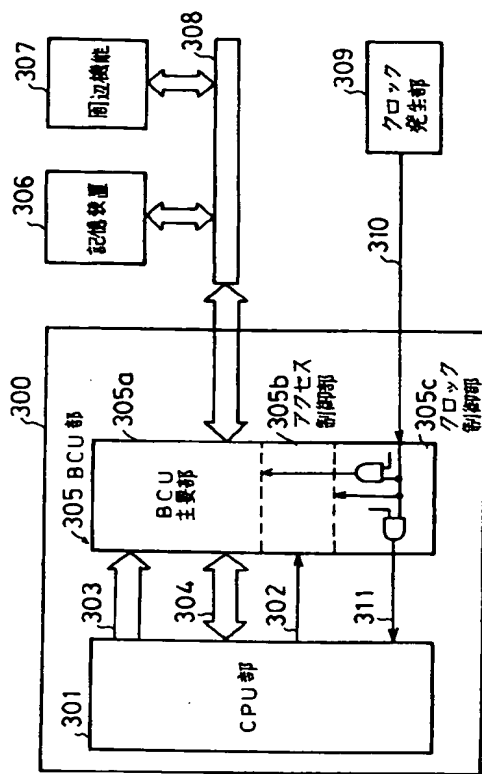


(10)

**【图3】**



**【图4】**

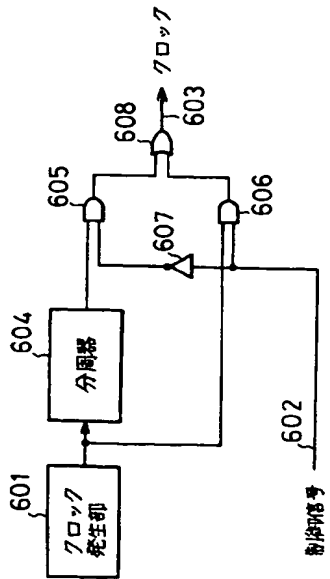






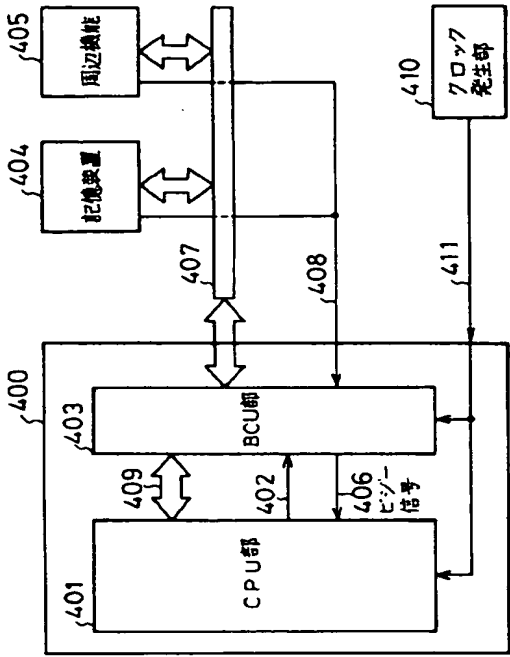
(13)

【図8】



(14)

【図10】



【図9】

